

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-164302

(43)Date of publication of application : 07.06.2002

(51)Int.Cl.

H01L 21/266
G03F 7/38
H01L 21/027
H01L 21/768
H01L 21/8238
H01L 27/092

(21)Application number : 2000-359946

(71)Applicant : DENSO CORP

(22)Date of filing : 27.11.2000

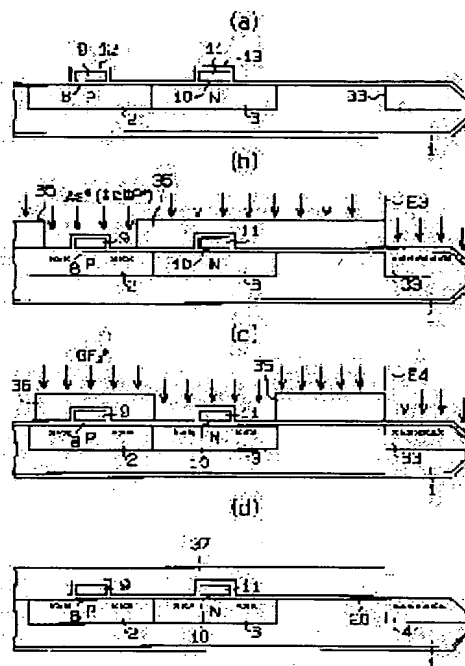
(72)Inventor : EGUCHI KOJI
NARUSE TAKAYOSHI

(54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the manufacturing method of a semiconductor device for canceling nonconformities that are generated by passing through a process, using photoresist that is subjected to wafer edge rinsing.

SOLUTION: For manufacturing the semiconductor device, having N- and P-channel MOSFETs, P- and N-type ions are implanted to a silicon substrate 1 with a photoresist (35 and 36) being subjected to the wafer edge rinsing as a mask or forming impurity diffusion regions (4, 5, 6, and 7). A photoresist 37 is applied to the entire wafer surface, the resist 37 at a wafer edge section is removed by rinsing, etching is made by fluorine-acid-based etching liquid for peeling off the silicon substrate 1, and an ion implanted region (41) is exposed. After that, the upper surface of a wafer is covered with BPSG and TEOS films as an interlayer insulating film.



LEGAL STATUS

[Date of request for examination]

07.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture approach of the semiconductor device characterized by having the process which carries out an ion implantation to the semi-conductor film on a semi-conductor substrate or a substrate by using as a mask the photoresist which carried out wafer edge rinse, the process at which etching clearance of the insulator layer on the ion-implantation field in the wafer edge section is carried out, and the ion-implantation field concerned is exposed, and the process which covers the top face of a wafer with an interlayer insulation film.

[Claim 2] It is the manufacture approach of the semiconductor device characterized by including the process into which said process which carries out an ion implantation pours the impurity ion of the 1st conductivity type in the manufacture approach of a semiconductor device according to claim 1, and the process which pours in the impurity ion of the 2nd conductivity type.

[Claim 3] The manufacture approach of the semiconductor device characterized by including the process which pours in the impurity ion of the 1st conductivity type, the process which pours in the impurity ion of the 2nd conductivity type, and the process which forms a wiring layer in the manufacture approach of a semiconductor device according to claim 1.

[Claim 4] The manufacture approach of the semiconductor device characterized by using As or P with BF system as an ion kind in an ion implantation in the manufacture approach of a semiconductor device according to claim 2 or 3.

[Claim 5] It sets to the manufacture approach of a semiconductor device according to claim 4, and the dose of BF system ion kind is $2 \times 10^{15} / \text{cm}^2$. While being above, the ion kind dose of As or P is

$3 \times 10^{15} / \text{cm}^2$. The manufacture approach of the semiconductor device characterized by being above.

[Claim 6] The process which carries out etching clearance of the insulator layer on the ion-implantation field of said wafer edge section in the manufacture approach of a semiconductor device according to claim 1 is the manufacture approach of the semiconductor device characterized by etching with a fluoric acid system etching reagent, and exposing a silicon substrate or the polycrystalline silicon film after it applies a photoresist all over a wafer and a rinse removes the resist of the wafer edge section.

[Claim 7] The manufacture approach of the semiconductor device characterized by the thickness of the insulator layer on said semi-conductor substrate or the semi-conductor film being 200nm or less in the manufacture approach of a semiconductor device given in any 1 term of claims 1-6.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of a semiconductor device, and relates especially to the wafer edge rinse of a resist, i.e., the manufacture approach of a semiconductor device of providing the process accompanied by the processing which covers over which and removes a solvent to the resist of a wafer periphery at the time of resist spreading.

[0002]

[Description of the Prior Art] In semi-conductor manufacture, pattern formation of each device is carried out with photolithography, and it has the process which diffuses an impurity in a position. At the FOTORISO process, the photoresist film which is a surface mask is wafer edge rinse (side rinse), it is removed at every processing of each process, and an insulator layer etc. becomes unreserved and, as for the wafer edge section, an impurity is always poured in.

[0003] The adhesion reinforcement of the insulator layer of the wafer edge section and a semi-conductor silicon substrate is reduced by the ion kind and overprint which are poured in, film peeling occurs with an interlayer film formation process, and there is a trouble which causes the contamination within a process and a component pattern defect.

[0004]

[Problem(s) to be Solved by the Invention] This invention is made under such a background and the object is in offering the manufacture approach of the semiconductor device which can cancel the nonconformity generated by passing through the process using the photoresist which carried out wafer edge rinse.

[0005]

[Means for Solving the Problem] According to claim 1, an ion implantation is carried out to the semi-conductor film on a semi-conductor substrate or a substrate by using as a mask the photoresist which carried out wafer edge rinse. And after carrying out etching clearance of the insulator layer on the ion-implantation field in the wafer edge section and exposing the ion-implantation field concerned, an interlayer insulation film is covered by the top face of a wafer. Therefore, by the conventional approach, although the adhesion reinforcement of the interface of the semi-conductor in an ion-implantation field and insulator layer in the wafer edge section falls, since an interlayer insulation film is formed after removing the insulator layer of this part, the nonconformity of film peeling occurring with an interlayer film formation process, and resulting in the contamination within a process or a component pattern defect is cancelable by this invention.

[0006] Moreover, it is suitable when it includes the process according to claim 2 which pours in the impurity ion of the 1st conductivity type as a process which carries out an ion implantation like, and the process which pours in the impurity ion of the 2nd conductivity type. Furthermore, it is suitable also when it includes the process according to claim 3 which pours in the impurity ion of the 1st conductivity type, the process which pours in the impurity ion of the 2nd conductivity type, and the process which forms a wiring layer like.

[0007] Moreover, when [according to claim 4] As or P is used with BF⁻ system as an ion kind in an ion implantation like, the dose of BF⁻ system ion kind is $2 \times 10^{15}/\text{cm}^2$ like the publication to claim 5 further. While being above, the ion kind dose of As or P is $3 \times 10^{15}/\text{cm}^2$. It is suitable when it is above.

[0008] Moreover, after the process according to claim 6 which carries out etching clearance of the insulator layer on the ion-implantation field of the wafer edge section applies a photoresist all over a

wafer and removes the resist of the wafer edge section with a rinse, it is [like] good [a process] to etch with a fluoric acid system etching reagent, and to expose a silicon substrate or the polycrystalline silicon film.

[0009] Furthermore, it is [like] suitable when [according to claim 7] the thickness of the insulator layer on a semi-conductor substrate or the semi-conductor film is 200nm or less.

[0010]

[Embodiment of the Invention] Hereafter, the gestalt of the operation which materialized this invention is explained according to a drawing. The production process of the semiconductor device in this operation gestalt is shown in drawing 1 - drawing 3.

[0011] This equipment is making MOSFET structure, as shown in drawing 3 (d). In detail, N-channel metal oxide semiconductor FET and P channel MOSFET are provided. Explanation of the structure of equipment forms P well field 2 and N well field 3 in the surface section in the top face of a silicon substrate (wafer) 1. In P well field 2, the N field (source) 4 and the N field (drain) 5 are formed in the surface section. Similarly, in N well field 3, the P field (source) 6 and the P field (drain) 7 are formed in the surface section. Moreover, on P well field 2, the polish recon gate electrode 9 is formed through gate oxide 8. Similarly, on N well field 3, the polish recon gate electrode 11 is formed through gate oxide 10. The polish recon gate electrodes 9 and 11 are covered by silicon oxide 12 and 13. Furthermore, the BPSG film 14 as the 1st interlayer insulation film is formed in the top face of a silicon substrate (wafer) 1. The N fields 4 and 5 and the P fields 6 and 7 are connected with the aluminum wiring 15, 16, 17, and 18. On it, the TEOS film 19 as the 2nd interlayer insulation film is formed.

[0012] Next, the manufacture approach of a semiconductor device is explained. First, as shown in drawing 1 (a), a silicon wafer 1 is prepared and the pad oxide film 30 is formed in a silicon wafer 1. And as shown in drawing 1 (b), (c), and (d), P of MOSFET and N well fields 2 and 3 are formed using each technique of FOTORISO ion in plastic and an impurity drive. As shown in drawing 1 (b), while forming a photoresist 31 in a predetermined field and driving in the ion kind of P type in detail using this photoresist 31, as shown in drawing 1 (c), a photoresist 32 is formed in a predetermined field and the ion kind of N type is driven in using this photoresist 32. Wafer

edge rinse processing is performed, there are no photoresists 31 and 32 in a wafer periphery side rather than the periphery edges E1 and E2 of drawing 1 (b) and (c), and, as for the photoresists 31 and 32 used at these processes, an ion kind is driven also into this field. Furthermore, as shown in drawing 1 (d), P and N well fields 2 and 3 are formed by annealing. The impurity diffusion field 23 is formed in the wafer periphery section at this time.

[0013] Then, as shown in drawing 1 (e), the polish recon film for the gates of MOSFET (9 11) is depoted, the unnecessary polish recon film is removed using photolithography (photoresist 34) and a dry etching technique, and the polish recon gate electrodes 9 and 11 are arranged. And as shown in drawing 2 (a), about 100nm of side-attachment-wall oxide films 12 and 13 is formed by thermal oxidation as protection of the polish recon gate electrodes 9 and 11.

[0014] Furthermore, as shown in drawing 2 (b), for formation of the source drain diffusion layer of N-channel metal oxide semiconductor FET, a photoresist 35 is used and arsenic ion (As+) or phosphorus ion (P+) is poured in. Moreover, as shown in drawing 2 (c), a photoresist 36 is used for formation of the source drain diffusion layer of P channel MOSFET, and it is BF₂⁺ as an ion kind. An ion implantation is carried out. Wafer edge rinse processing is performed, there are no photoresists 35 and 36 in a wafer periphery side rather than the periphery edges E3 and E4 of drawing 2 (b) and (c), and, as for the photoresists 35 and 36 used at these processes, an ion kind is driven also into this field.

[0015] thus, source drain in plastic -- the bottom, behind, as shown in drawing 2 (d), using a photoresist 37, etching clearance of the oxide film 20 on the impurity diffusion field (ion-implantation field) 41 in the wafer edge section is carried out, and this field 41 is exposed. After it applies a photoresist 37 all over a wafer and a rinse removes the resist 37 of the wafer edge section in detail, an oxide film 20 is etched with a fluoric acid system etching reagent, and a silicon substrate 1 is exposed.

[0016] Then, as shown in drawing 3 (a), the BPSG film 14 as the 1st interlayer insulation film is depoted on a wafer. And annealing (heat treatment) is performed. This is for activation of flattening of the BPSG film 14, and the source drain of MOSFET.

[0017] And as shown in drawing 3 (b), in order to

take the electrode of the source drain field of MOSFET by FOTORISO etching, a contact hole 39 is formed. In detail, a photoresist 38 is formed in a predetermined field, wet etching is performed and a contact hole 39 is further formed by performing dry etching. In order that the dry etching of a contact hole 39 may carry out the mask of the wafer edge section in a clamp ring for etching stabilization, the BPSG film 14 remains in the wafer edge section.

[0018] Thus, after forming a contact hole 39, it anneals in order to secure the step coverage nature in the aluminum film (wiring layer). And as shown in drawing 3 (c), the aluminum film is formed with a sputtering technique, patterning is carried out using photolithography (photoresist 40) and a dry etching technique, and the aluminum wiring 15-18 is arranged. Furthermore, as shown in drawing 3 (d), the TEOS film 19 as the 2nd interlayer insulation film is formed on a wafer.

[0019] Although the above was a production process in this operation gestalt, when a semiconductor device was manufactured through the same process, the following nonconformities had occurred by the conventional approach. The production process by the conventional approach corresponding to drawing 1 - drawing 3 is shown in drawing 9 - drawing 11. That is, after forming the well fields 2 and 3 of P and N using photoresists 31 and 32 like drawing 9, the polish recon gate electrodes 9 and 11 are arranged, further, as shown in drawing 10 and 11, P and the N fields 4-7 are formed using photoresists 35 and 36, then formation of the BPSG film 14, formation of wiring layers 15-18, and formation of the TEOS film 19 are performed.

[0020] Here, as shown in drawing 11 (d), film internal stress occurs by heat treatment in the case of the formation process of the TEOS film 19 which is the 2nd interlayer insulation film, and oxide-film peeling occurs by SiO₂ / Si interface. The nonconformity that adhere to a device field, and cause the abnormalities in a pattern or this pollutes a wafer carrier or the equipment of an after process arises. This is N+ also to the wafer periphery section in the case of the ion implantation of the source drain field of MOSFET. P+ It is to pour in both ion, for weak coupling to be possible for SiO₂ / Si interface in the thin part (about 100nm) of an oxide film, and for the membranous adhesion force to decline.

[0021] On the other hand, with this operation

gestalt, like drawing 2 (d), the film 20 of the weak chemical bond which is possible for SiO_2 / Si interface was removed in advance, the silicon substrate 1 was exposed, and film peeling is prevented.

[0022] Hereafter, the result of various kinds of experiments which this invention persons conducted is explained. This experiment is conducted in order to investigate the cause of oxide-film peeling. In drawing 4, they are N^+ and P^+ . The relation between an ion in plastic dose and oxide-film adhesion reinforcement is shown. In an axis of abscissa, it is BF_2^+ as an ion kind. The dose at the time of using is taken. Moreover, along the axis of ordinate, the adhesion reinforcement of the oxide film on a wafer is taken. A sample is $5 \times 10^{15}/\text{cm}^2$ about the dose of (a).As. What was carried out, (b) It is $3 \times 10^{15}/\text{cm}^2$ about the dose of .As. It is $3 \times 10^{15}/\text{cm}^2$ about the dose of what was carried out, and (c). phosphorus (P). What was carried out, (d) It is $5.5 \times 10^{15}/\text{cm}^2$ about a dose, using $5 \times 10^{15}/\text{cm}^2$ and a boron simple substance as an ion kind for the dose of .As. What was carried out, and (e).As are $10 \times 10^{15}/\text{cm}^2$ about a dose, there being nothing and using a boron simple substance as an ion kind. What was carried out is used.

[0023] if (b) is compared with (a) of this drawing 4, so that (a) will be under (b) and (a) and (b) will go to the right -- the bottom -- **** -- it is. Therefore, when there are many oxide-film adhesion reinforcement's falling if there are many doses of N^+ (As+), and P^+ doses (BF_2^+), it turns out that oxide-film adhesion reinforcement falls. Moreover, when (c) is compared with (b) of drawing 4, (b) is under (c) and atomic large arsenic (As+) has adhesion reinforcement lower than phosphorus (P+). Furthermore, N^+ if (e) is compared with (d) of drawing 4, since oxide-film adhesion reinforcement is almost the same It turns out that oxide-film adhesion reinforcement does not change with atomic existence. These things to N^+ A damage is formed in silicon with an atom, and further, if the dose of P^+ (BF_2^+) to this damage layer is increased, it will be presumed that adhesion reinforcement falls. Under the present circumstances, ((d) (e) reference of drawing 4) and BF_2^+ since oxide-film adhesion reinforcement does not fall in a boron simple substance (B^+) F is considered to be the factor which reduces film adhesion reinforcement.

[0024] The relation between a boron dose and oxide-film peeling by formation of the TEOS film

which is the 2nd interlayer insulation film is shown in drawing 5. In an axis of abscissa, it is BF_2^+ as an ion kind. The dose at the time of using is taken. Moreover, along the axis of ordinate, the peeling number of the oxide film on a wafer is taken. A sample is $5 \times 10^{15}/\text{cm}^2$ about the dose of (a).As. It is $5 \times 10^{15}/\text{cm}^2$ about a dose, using $5 \times 10^{15}/\text{cm}^2$ and a boron simple substance as an ion kind for what was carried out, and the dose of (b).As. What was carried out is used.

[0025] The dose of P[from this drawing 5]+ (BF_2^+) is $2 \times 10^{15}/\text{cm}^2$. When it exceeds, it turns out that peeling increases. Moreover, peeling is not generated in a boron simple substance (B^+). Also from this, it is thought that they are the dose of P^+ (BF_2^+) and the generating factor of oxide-film peeling of F.

[0026] The oxide-film adhesion reinforcement in each process is shown in drawing 6 in drawing 4 and the form where it summarizes having become clear from 5. Along the axis of abscissa, each process (the ion implantation of N^+ , the ion implantation of P^+ , BPSG depository annealing that is the 1st interlayer insulation film, contact dirty annealing, aluminum spatter photograph dirty, TEOS depository that is the 2nd interlayer insulation film) was taken, and the adhesion reinforcement of the oxide film on a wafer is taken along the axis of ordinate.

[0027] Drawing 6 to N^+ A damage layer is formed by IMPURA and it is P^+ . F is poured in by IMPURA (BF_2^+). Furthermore, by contact dirty annealing after formation of the BPSG film which is the 1st interlayer insulation film, weak chemical bonds, such as Si-O-F, can be performed, and the adhesion reinforcement of an oxide film falls. Furthermore, oxide-film peeling arises in film internal stress at the time of formation of the TEOS film which is the 2nd interlayer insulation film (this is presumed to be what is depended on thermal stress).

[0028] The element profile of SiO_2 / Si interface after activation annealing of an MOSFET source drain diffusion layer is shown in drawing 7. That is, distribution in the depth direction from F (fluorine), Si, B and P, and the oxide film in O and As is shown as an element. In addition, TOF-SIMS was used for measurement. Peeling can be prevented by it turning out that F (fluorine) exists in SiO_2 / Si interface, and it being presumed that this forms the weak chemical bond film, removing that weak oxide film also from this drawing 7, and depositing an interlayer

insulation film.

[0029] Although the insulator layer etc. became unreserved, the impurity was always poured in, the wafer edge section reduced the adhesion reinforcement of an insulator layer and a silicon substrate by the overprint (N+ and P+ both IMPURA) of an ion kind and film peeling had produced it by the conventional approach like the above. The weak film of association can be removed by removing the insulator layer 20 of the wafer edge section into which the impurity etc. was poured, and exposing silicon, and peeling can be prevented.

[0030] Thus, the gestalt of this operation has the following description.

(b) As are shown in drawing 1, and 2 and 3, and an ion implantation is carried out to a silicon substrate 1 by using as a mask the photoresists 31, 32, 35, and 36 which carried out wafer edge rinse and it is further shown in drawing 2 (d). After carrying out etching clearance of the insulator layer 20 (silicon oxide) on the ion-implantation field (impurity diffusion field) 41 in the wafer edge section and exposing the ion-implantation field (impurity diffusion field) 41 concerned, as shown in drawing 3. The top face of a wafer was covered with interlayer insulation films 14 and 19. therefore, by the conventional approach, although the adhesion reinforcement of the interface of the semi-conductor in the ion implantation field (impurity diffusion field) 41 and insulator layer in the edge section of a semi-conductor wafer fall, since interlayer insulation films 14 and 19 be form after remove the insulator layer 20 of this part, the nonconformity of film peeling occur with an interlayer film formation process, and result in the contamination within a process or a component pattern defect be cancelable with this operation gestalt.

(b) It is suitable when using As or P with BF system, as explained especially, using drawing 4 as an ion kind in an ion implantation.

(Ha) The dose of BF system ion kind is $2 \times 10^{15}/\text{cm}^2$ like drawing 5 further. While being above, the ion kind dose of As or P is $3 \times 10^{15}/\text{cm}^2$ like drawing 4. It is suitable when it is above.

[0031] Moreover, it is suitable when the thickness of the insulator layer on a silicon substrate is 200nm or less. Oxide-film thickness and the relation of oxide-film peeling are shown, if an oxide film is thinner than 200nm to drawing 8, film peeling will occur in it, and when an oxide

film becomes thicker than 200nm, peeling of the film stops occurring. This is N+ and P+, so that an oxide film is thick. It is thought that it is because range shifts and a chemical bond does not become weak.

[0032] Next, other operation gestalten are explained. Although etching clearance of the insulator layer 20 on the ion-implantation field (impurity diffusion field) 41 in the wafer edge section was carried out with the gestalt of the above-mentioned implementation before forming both interlayer insulation films 14 and 19, this etching may be carried out before deposition of the TEOS film 19. That is, if the adhesion reinforcement of SiO₂ / Si interface falls by annealing, film peeling is considered to separate in the stress of the TEOS film 19 which is the 2nd interlayer insulation film and it carries out before deposition of the TEOS film 19, it can prevent oxide-film peeling.

[0033] Moreover, although the gestalt of the above-mentioned implementation showed the case where carried out an ion implantation to the semi-conductor substrate 1, and an impurity diffusion field was formed, when carrying out an ion implantation to the semi-conductor film on a substrate 1 (polycrystalline silicon film) and forming an impurity diffusion field (i.e., when a diffusion field remains in the polish recon film of the wafer edge section), you may apply. That is, in order to acquire etching stability in the case of polish recon etching, if the mask of the wafer edge section is carried out in a clamp ring, the polish recon film will remain in the wafer edge section, but peeling will not be produced, if the BPSG film is deposited after removing the insulator layer on the polish recon film of the wafer edge section and exposing the polish recon film in this case.

[0034] Moreover, although the wiring layer was the monolayer structure established one layer on the substrate in drawing 1 - drawing 3, it may be applied to the semiconductor device of the multilayer structure which prepares the wiring layer of a two-layer eye on the interlayer insulation film on it while it prepares the wiring layer of the 1st layer in a substrate top face.

[0035] Moreover, after it applies a photoresist all over a wafer and a rinse removes the resist of the wafer edge section about clearance of the insulator layer on the semi-conductor substrate in the gestalt of the above-mentioned implementation, or a semi-conductor substrate, dry etching is carried out by the gas of a fluorine

system, and it is good even if unreserved in a silicon substrate or the polycrystalline silicon film.

-- Impurity diffusion field.] -- The TEOS film as the 2nd interlayer insulation film, 20 -- An insulator layer, 30 -- A pad oxide film, 31, 32, 35, 36

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing of longitudinal section showing the production process of the semiconductor device in the gestalt of operation.

[Drawing 2] Drawing of longitudinal section showing the production process of a semiconductor device.

[Drawing 3] Drawing of longitudinal section showing the production process of a semiconductor device.

[Drawing 4] Drawing showing the relation between an in plastic dose and oxide-film adhesion reinforcement.

[Drawing 5] Drawing showing an in plastic dose and the relation of periphery oxide-film peeling.

[Drawing 6] Drawing showing the relation between each process and oxide-film adhesion reinforcement.

[Drawing 7] Drawing showing the element profile in SiO₂ / Si interface.

[Drawing 8] Drawing in which separating with oxide-film thickness and showing the relation of the generating number.

[Drawing 9] Drawing of longitudinal section showing the production process of the semiconductor device by the conventional method.

[Drawing 10] Drawing of longitudinal section showing the production process of a semiconductor device.

[Drawing 11] Drawing of longitudinal section showing the production process of a semiconductor device.

[Description of Notations]

1 -- A silicon substrate (wafer), 2 -- P well field, 3 -- N well field, 4 -- N field (source), 5 -- N field (drain), 6 -- P field (source), 7 -- P field (drain), 8 -- The gate oxide on P well, 9 -- Polish recon gate electrode, 10 -- The gate oxide on N well, 11 -- Polish recon gate electrode, 12 -- The side-attachment-wall oxide film of P well top polish recon, 13 -- The side-attachment-wall oxide film of N well top polish recon, 14 -- The BPSG film as the 1st interlayer insulation film, 15, 16, 17, 18 -- Aluminum film, 19 [-- A photoresist, 33 / -- The impurity diffusion field after a well, 34, 37, 38, 40 / -- A photoresist, 39 / -- A contact hole, 41 /

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-164302

(P2002-164302A)

(43) 公開日 平成14年6月7日(2002.6.7)

(51) Int.Cl. ⁷	識別記号	F I	テームト(参考)
H 0 1 L 21/266		G 0 3 F 7/38	5 0 1 2 H 0 9 6
G 0 3 F 7/38	5 0 1	H 0 1 L 21/265	M 5 F 0 3 3
H 0 1 L 21/027		21/30	5 7 7 5 F 0 4 6
21/768		21/90	J 5 F 0 4 8
21/8238		27/08	3 2 1 Z
審査請求 未請求 請求項の数 7 O L (全 9 頁) 最終頁に続く			

(21) 出願番号 特願2000-359946(P2000-359946)

(22) 出願日 平成12年11月27日(2000.11.27)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 江口 浩次

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 成瀬 孝好

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74) 代理人 100068755

弁理士 恩田 博宣 (外1名)

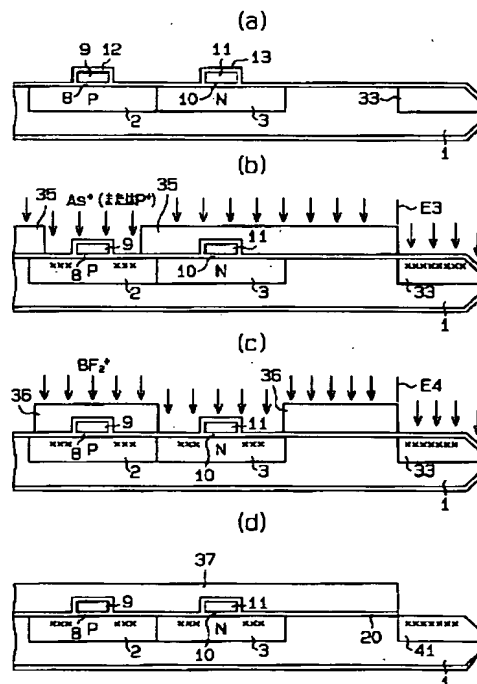
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】ウェハエッチリンスしたフォトレジストを用いた工程を経ることにより発生していた不具合を解消することができる半導体装置の製造方法を提供する。

【解決手段】NチャネルMOSFETとPチャネルMOSFETを具備する半導体装置を製造するために、ウェハエッチリンスしたフォトレジスト(35, 36)をマスクとしてシリコン基板1にP型とN型のイオンを注入して不純物拡散領域(4, 5, 6, 7)を形成する。フォトレジスト37をウェハ全面に塗布し、ウェハエッチ部のレジスト37をリンスで除去した後、フッ酸系エッチング液でエッチングしてシリコン基板1を剥き出しにし、イオン注入領域(41)を露出させた後において、ウェハの上面を層間絶縁膜としてのBPSG膜とTEOS膜で被覆する。



【特許請求の範囲】

【請求項1】 ウェハエッチリンスしたフォトレジストをマスクとして半導体基板または基板上の半導体膜にイオン注入する工程と、

ウェハエッチ部におけるイオン注入領域の上の絶縁膜をエッチング除去して当該イオン注入領域を露出させる工程と、

ウェハの上面を層間絶縁膜で被覆する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項2】 請求項1に記載の半導体装置の製造方法において、

前記イオン注入する工程は、第1導電型の不純物イオンを注入する工程と、第2導電型の不純物イオンを注入する工程を含むことを特徴とする半導体装置の製造方法。

【請求項3】 請求項1に記載の半導体装置の製造方法において、

第1導電型の不純物イオンを注入する工程と、第2導電型の不純物イオンを注入する工程と、配線層を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項4】 請求項2または3に記載の半導体装置の製造方法において、

イオン注入でのイオン種として、BF系と、AsまたはPを用いたことを特徴とする半導体装置の製造方法。

【請求項5】 請求項4に記載の半導体装置の製造方法において、

BF系イオン種のドーズ量が $2 \times 10^{15} / \text{cm}^2$ 以上であるとともに、AsまたはPのイオン種ドーズ量が $3 \times 10^{15} / \text{cm}^2$ 以上であることを特徴とする半導体装置の製造方法。

【請求項6】 請求項1に記載の半導体装置の製造方法において、

前記ウェハエッチ部のイオン注入領域上の絶縁膜をエッチング除去する工程は、フォトレジストをウェハ全面に塗布し、ウェハエッチ部のレジストをリンスで除去した後、フッ酸系エッチング液でエッチングしてシリコン基板または多結晶シリコン膜を剥き出しにすることを特徴とする半導体装置の製造方法。

【請求項7】 請求項1～6のいずれか1項に記載の半導体装置の製造方法において、

前記半導体基板または半導体膜上の絶縁膜の膜厚が200nm以下であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置の製造方法に係り、特に、レジストのウェハエッチリンス、即ち、レジスト塗布時にウェハ周辺部のレジストに溶剤をかけて除去する処理を伴うプロセスを具備する半導体装置の製造方法に関するものである。

【0002】

【従来の技術】半導体製造では、各デバイスを、フォトリソ技術でパターン形成し、不純物を所定の位置に拡散する工程を有する。そのフォトリソ工程にて、表面マスクである、フォトレジスト膜はウェハエッチリンス（サイドリンス）で、各工程の処理のたびに除去され、ウェハエッチ部は絶縁膜などが剥き出しになり、常に不純物が注入される。

【0003】注入されるイオン種及び重ね打ちによってウェハエッチ部の絶縁膜と半導体シリコン基板の密着強度を低下させ、層間膜形成工程で膜剥がれが起き、工程内汚染や素子パターン欠陥を招いてしまう問題点がある。

【0004】

【発明が解決しようとする課題】本発明はこのような背景の下になされたものであり、その目的は、ウェハエッチリンスしたフォトレジストを用いた工程を経ることにより発生していた不具合を解消することができる半導体装置の製造方法を提供することにある。

【0005】

【課題を解決するための手段】請求項1によれば、ウェハエッチリンスしたフォトレジストをマスクとして半導体基板または基板上の半導体膜にイオン注入される。そして、ウェハエッチ部におけるイオン注入領域の上の絶縁膜をエッチング除去して当該イオン注入領域を露出させた後において、ウェハの上面に層間絶縁膜が被覆される。よって、従来方法では、ウェハエッチ部におけるイオン注入領域での半導体と絶縁膜との界面の密着強度が低下するが、本発明では、この部位の絶縁膜を除去した後、層間絶縁膜が形成されるので、層間膜形成工程で膜剥がれが起きて工程内汚染や素子パターン欠陥に至るといった不具合を解消することができる。

【0006】また、請求項2に記載のように、イオン注入する工程として、第1導電型の不純物イオンを注入する工程と、第2導電型の不純物イオンを注入する工程を含む場合に適している。さらに、請求項3に記載のように、第1導電型の不純物イオンを注入する工程と、第2導電型の不純物イオンを注入する工程と、配線層を形成する工程を含む場合にも適している。

【0007】また、請求項4に記載のように、イオン注入でのイオン種として、BF系と、AsまたはPを用いた場合、さらに、請求項5に記載のように、BF系イオン種のドーズ量が $2 \times 10^{15} / \text{cm}^2$ 以上であるとともに、AsまたはPのイオン種ドーズ量が $3 \times 10^{15} / \text{cm}^2$ 以上の場合に適している。

【0008】また、請求項6に記載のように、ウェハエッチ部のイオン注入領域上の絶縁膜をエッチング除去する工程は、フォトレジストをウェハ全面に塗布し、ウェハエッチ部のレジストをリンスで除去した後、フッ酸系エッチング液でエッチングしてシリコン基板または多結晶シリコン膜を剥き出しにするとよい。

【0009】さらに、請求項7に記載のように、半導体基板または半導体膜上の絶縁膜の膜厚が200nm以下である場合に適している。

【0010】

【発明の実施の形態】以下、この発明を具体化した実施の形態を図面に従って説明する。図1～図3には本実施形態における半導体装置の製造工程を示す。

【0011】本装置は、図3(d)に示すようにMOSFET構造をなしている。詳しくは、NチャネルMOSFETとPチャネルMOSFETを具備している。装置の構造を説明すると、シリコン基板(ウェハ)1の上面における表層部にはPウェル領域2とNウェル領域3が形成されている。Pウェル領域2においてはその表層部にN領域(ソース)4とN領域(ドレイン)5が形成されている。同様に、Nウェル領域3においてはその表層部にP領域(ソース)6とP領域(ドレイン)7が形成されている。また、Pウェル領域2の上にはゲート酸化膜8を介してポリシリコンゲート電極9が形成されている。同様に、Nウェル領域3の上にはゲート酸化膜10を介してポリシリコンゲート電極11が形成されている。ポリシリコンゲート電極9、11はシリコン酸化膜12、13にて覆われている。さらに、シリコン基板(ウェハ)1の上面には第1の層間絶縁膜としてのBPSG膜14が形成されている。N領域4、5とP領域6、7はアルミ配線15、16、17、18と接続されている。その上には第2の層間絶縁膜としてのTEOS膜19が形成されている。

【0012】次に、半導体装置の製造方法を説明する。まず、図1(a)に示すように、シリコンウェハ1を用意し、シリコンウェハ1にパッド酸化膜30を形成する。そして、図1(b)、(c)、(d)に示すように、MOSFETのP、Nウェル領域2、3をフォトリソ・イオンインプラ・不純物ドライブの各技術を用いて形成する。詳しくは、図1(b)に示すように、フォトレジスト31を所定の領域に形成し、このフォトレジスト31を用いてP型のイオン種を打ち込むとともに、図1(c)に示すように、フォトレジスト32を所定の領域に形成し、このフォトレジスト32を用いてN型のイオン種を打ち込む。これらの工程で用いるフォトレジスト31、32はウェハエッチリンス処理が行われ、図1(b)、(c)の外周端E1、E2よりもウェハ外周側にはフォトレジスト31、32が無く、この領域にもイオン種が打ち込まれる。さらに、図1(d)に示すように、アニールすることによりP、Nウェル領域2、3が形成される。このとき、ウェハ外周部には不純物拡散領域33が形成される。

【0013】引き続き、図1(e)に示すように、MOSFETのゲート用のポリシリコン膜(9、11)をデポし、フォトリソ技術(フォトレジスト34)と、ドライエッチング技術を用いて不要なポリシリコン膜を除去

してポリシリコンゲート電極9、11を配置する。そして、図2(a)に示すように、ポリシリコンゲート電極9、11の保護として、熱酸化により側壁酸化膜12、13を約100nm程度形成する。

【0014】さらに、図2(b)に示すように、NチャネルMOSFETのソース・ドレイン拡散層の形成のために砒素イオン(As^+)または燐イオン(P^+)をフォトレジスト35を用いて注入する。また、図2(c)に示すように、PチャネルMOSFETのソース・ドレイン拡散層の形成のためにフォトレジスト36を用いてイオン種としての BF_2^+ をイオン注入する。これらの工程で用いるフォトレジスト35、36はウェハエッチリンス処理が行われ、図2(b)、(c)の外周端E3、E4よりもウェハ外周側にはフォトレジスト35、36が無く、この領域にもイオン種が打ち込まれる。

【0015】このようにソース・ドレインインプラした後に、図2(d)に示すように、フォトレジスト37を用いて、ウェハエッチ部における不純物拡散領域(イオン注入領域)41の上の酸化膜20をエッチング除去してこの領域41を露出させる。詳しくは、フォトレジスト37をウェハ全面に塗布し、ウェハエッチ部のレジスト37をリンスで除去した後、フッ酸系エッチング液で酸化膜20をエッチングしてシリコン基板1を剥き出しにする。

【0016】その後、図3(a)に示すように、ウェハ上に第1の層間絶縁膜としてのBPSG膜14をデポする。そして、アニール(熱処理)を行う。これは、BPSG膜14の平坦化及びMOSFETのソース・ドレインの活性化のためである。

【0017】そして、図3(b)に示すように、フォトリソ・エッチングにてMOSFETのソース・ドレイン領域の電極をとるためにコンタクトホール39を形成する。詳しくは、フォトレジスト38を所定の領域に形成してウェットエッチングを行い、さらに、ドライエッチングを行うことによりコンタクトホール39を形成する。コンタクトホール39のドライエッチングは、エッチング安定化のためにウェハエッチ部をクランプリングでマスクするため、ウェハエッチ部にBPSG膜14が残る。

【0018】このようにコンタクトホール39を形成した後、アルミ膜(配線層)での段差被覆性を確保するためにアニールする。そして、図3(c)に示すように、アルミ膜をスパッタリング技術で形成し、フォトリソ技術(フォトレジスト40)と、ドライエッチング技術を用いてパターニングしてアルミ配線15～18を配置する。さらに、図3(d)に示すように、ウェハ上に第2の層間絶縁膜としてのTEOS膜19を成膜する。

【0019】以上が本実施形態での製造工程であるが、同様な工程を経て半導体装置を製造する場合、従来方法では以下のような不具合が発生していた。図1～図3に

10

20

30

40

50

対応する従来方法による製造工程を図9～図11に示す。即ち、図9のごとくフォトリソスト31、32を用いてP、Nのウェル領域2、3を形成した後に、ポリシリコンゲート電極9、11を配置し、さらに、図10、11に示すようにフォトリソスト35、36を用いてP、N領域4～7を形成し、続いて、BPSG膜14の形成、配線層15～18の形成、TEOS膜19の形成を行う。

【0020】ここで、図11(d)に示すように、第2の層間絶縁膜であるTEOS膜19の形成工程の際の熱処理により膜内部応力が発生して、 SiO_2/Si 界面で酸化膜剥がれが起きる。これがデバイス領域に付着しパターン異常を引き起こしたり、ウェハキャリア、又は、後工程の装置を汚染するといった不具合が生じる。これは、MOSFETのソース・ドレイン領域のイオン注入の際に、ウェハ外周部にも N^+ と P^+ の両方のイオンが注入され、酸化膜の薄い部分(100nm程度)では、 SiO_2/Si 界面に弱い結合ができ、膜の密着力が低下するためである。

【0021】これに対し、本実施形態では、図2(d)のごとく SiO_2/Si 界面にできる弱い化学結合の膜20を事前に除去してシリコン基板1を剥き出しにし、膜剥がれを防止している。

【0022】以下、本発明者らが行った各種の実験の結果を説明する。この実験は、酸化膜剥がれの原因を調査する目的で行ったものである。図4には、 N^+ 、 P^+ イオンインプラドーズ量と酸化膜密着強度の関係を示す。横軸には、イオン種として BF_2^+ を用いた場合におけるドーズ量をとっている。また、縦軸にはウェハ上の酸化膜の密着強度をとっている。サンプルは、

(a) . Asのドーズ量を $5 \times 10^{15}/\text{cm}^2$ としたものの、

(b) . Asのドーズ量を $3 \times 10^{15}/\text{cm}^2$ としたものの、

(c) . 燐(P)のドーズ量を $3 \times 10^{15}/\text{cm}^2$ としたものの、

(d) . Asのドーズ量を $5 \times 10^{15}/\text{cm}^2$ 、かつ、ボロン単体をイオン種としてドーズ量を $5.5 \times 10^{15}/\text{cm}^2$ としたものの、

(e) . Asは無く、ボロン単体をイオン種としてドーズ量を $10 \times 10^{15}/\text{cm}^2$ としたものの、を用いている。

【0023】この図4の(a)と(b)を比較すると、

(a)は(b)の下にあり、また、(a)、(b)とも右にいくほど下がっている。よって、 N^+ (As^+)のドーズ量が多いと酸化膜密着強度が低下すること、及び、 P^+ (BF_2^+)ドーズ量が多いと、酸化膜密着強度が低下することが分かる。また、図4の(b)と

(c)を比較すると、(b)は(c)の下にあり、燐

(P^+)より原子の大きい砒素(As^+)の方が密着強

度が低い。さらに、図4の(d)と(e)を比較すると、酸化膜密着強度がほぼ同じであることから、 N^+ の原子の有無によって酸化膜密着強度が変化しないことが分かる。これらのことから、 N^+ の原子によりシリコンにダメージが形成され、さらに、このダメージ層に対する P^+ (BF_2^+)のドーズ量を増やすと密着強度が低下すると推定される。この際、ボロン単体(B^+)では酸化膜密着強度が低下しないことから(図4の(d)、(e)参照)、 BF_2^+ のFが膜密着強度を低下させる要因であると考えられる。

【0024】図5には、ボロンドーズ量と第2の層間絶縁膜であるTEOS膜の形成での酸化膜剥がれとの関係を示す。横軸にはイオン種として BF_2^+ を用いた場合におけるドーズ量をとっている。また、縦軸にはウェハ上の酸化膜の剥がれ個数をとっている。サンプルは、

(a) . Asのドーズ量を $5 \times 10^{15}/\text{cm}^2$ としたものの、

(b) . Asのドーズ量を $5 \times 10^{15}/\text{cm}^2$ 、かつ、ボロン単体をイオン種としてドーズ量を $5 \times 10^{15}/\text{cm}^2$ としたものの、を用いている。

【0025】この図5から、 P^+ (BF_2^+)のドーズ量が $2 \times 10^{15}/\text{cm}^2$ を越えると剥がれが増加することが分かる。また、ボロン単体(B^+)では剥がれは発生しない。このことから、 P^+ (BF_2^+)のドーズ量及びFが酸化膜剥がれの発生要因であると考えられる。

【0026】図4、5から判明したことをまとめる形で、図6には、各工程での酸化膜密着強度を示す。横軸には、各工程(N^+ のイオン注入、 P^+ のイオン注入、第1の層間絶縁膜であるBPSGデポ・アニール、コンタクトエッチ・アニール、アルミスパッタ・フォトリソ、第2の層間絶縁膜であるTEOSデポ)をとり、縦軸にはウェハ上の酸化膜の密着強度をとっている。

【0027】図6から、 N^+ インプラでダメージ層を形成し、 P^+ (BF_2^+)インプラでFが注入される。さらに、第1の層間絶縁膜であるBPSG膜の形成後のコンタクトエッチ・アニールで、 Si-O-F などの弱い化学結合ができ、酸化膜の密着強度が低下する。さらに、第2の層間絶縁膜であるTEOS膜の形成時に、膜内部応力で酸化膜剥がれが生じる(これは、熱応力によるものと推定される)。

【0028】図7には、MOSFETソース・ドレイン拡散層の活性化アニール後の SiO_2/Si 界面の元素プロファイルを示す。即ち、元素としてF(フッ素)とSiとBとPとOとAsでの酸化膜からの深さ方向での分布を示している。なお、測定にはTOF-SIMSを用いた。この図7からも、F(フッ素)が SiO_2/Si 界面に存在していることが分かり、これにより、弱い化学結合膜を形成していると推定され、その弱い酸化膜

を除去し層間絶縁膜を堆積することで、剥がれを防止することができる。

【0029】以上のごとく、従来方法では、ウェハエッチ部は絶縁膜などが剥き出しになり、常に不純物が注入され、イオン種の重ね打ちによって (N^+ 、 P^+ 両方のインプラによって)、絶縁膜とシリコン基板の密着強度を低下させ、膜剥がれが生じていたが、不純物などが注入されたウェハエッチ部の絶縁膜20を除去してシリコンを剥き出しにすることで結合の弱い膜を除去して剥がれを防止することができる。

【0030】このように、本実施の形態は下記の特徴を有する。

(イ) 図1, 2, 3に示すように、ウェハエッチリンスしたフォトレジスト31, 32, 35, 36をマスクとしてシリコン基板1にイオン注入し、さらに、図2

(d)に示すように、ウェハエッチ部におけるイオン注入領域(不純物拡散領域)41の上の絶縁膜(シリコン酸化膜)20をエッチング除去して当該イオン注入領域(不純物拡散領域)41を露出させた後、図3に示すように、ウェハの上面を層間絶縁膜14, 19で被覆するようにした。よって、従来方法では、半導体ウェハのエッチ部におけるイオン注入領域(不純物拡散領域)41での半導体と絶縁膜との界面の密着強度が低下するが、本実施形態では、この部位の絶縁膜20を除去した後に層間絶縁膜14, 19が形成されるので、層間膜形成工程で膜剥がれが起きて工程内汚染や素子パターン欠陥に至るといった不具合を解消することができる。

(ロ) 特に、イオン注入でのイオン種として、図4を用いて説明したようにBF系と、AsまたはPを用いる場合に適している。

(ハ) さらに、図5のごとくBF系イオン種のドーズ量が $2 \times 10^{15} / \text{cm}^2$ 以上であるとともに、図4のごとくAsまたはPのイオン種ドーズ量が $3 \times 10^{15} / \text{cm}^2$ 以上である場合に適している。

【0031】また、シリコン基板1上の絶縁膜の膜厚が200nm以下である場合に適している。図8には、酸化膜厚さと酸化膜剥がれの関係を示し、酸化膜が200nmよりも薄いと膜剥がれが起き、酸化膜が200nmよりも厚くなると膜の剥がれが発生しなくなる。これは、酸化膜が厚いほど N^+ 、 P^+ の飛程がズレて化学結合が弱くならないことによるものと考えられる。

【0032】次に、その他の実施形態を説明する。上記実施の形態では両方の層間絶縁膜14, 19を形成する前にウェハエッチ部におけるイオン注入領域(不純物拡散領域)41の上の絶縁膜20をエッチング除去したが、このエッチングをTEOS膜19の堆積前に実施してもよい。つまり、膜剥がれは、アニールでSiO₂/Si界面の密着強度が低下し、第2の層間絶縁膜であるTEOS膜19の応力で剥がれると考えられ、TEOS膜19の堆積前に実施すれば、酸化膜剥がれを防止でき

る。

【0033】また、上記実施の形態では半導体基板1にイオン注入して不純物拡散領域を形成する場合を示したが、基板1上の半導体膜(多結晶シリコン膜)にイオン注入して不純物拡散領域を形成する場合、即ち、ウェハエッチ部のポリシリコン膜に拡散領域が残る場合に適用してもよい。つまり、ポリシリコンエッチングの際にエッチング安定性を得るためにウェハエッチ部をクランプリングでマスクするとウェハエッチ部にポリシリコン膜が残るが、この場合において、ウェハエッチ部のポリシリコン膜上の絶縁膜を除去してポリシリコン膜を剥き出しにした後にBPSG膜を堆積すれば剥がれは生じない。

【0034】また、配線層は図1～図3では基板上に1層のみ設けた単層構造であったが、基板上面に1層目の配線層を設けるとともにその上の層間絶縁膜上に2層目の配線層を設ける多層構造の半導体装置に適用してもよい。

【0035】また、上記実施の形態での半導体基板または半導体基板上の絶縁膜の除去に関して、フォトレジストをウェハ全面に塗布し、ウェハエッチ部のレジストをリンスで除去した後、ふっ素系のガスでドライエッチングしてシリコン基板または多結晶シリコン膜を剥き出しにしてもよい。

【図面の簡単な説明】

【図1】 実施の形態における半導体装置の製造工程を示す縦断面図。

【図2】 半導体装置の製造工程を示す縦断面図。

【図3】 半導体装置の製造工程を示す縦断面図。

【図4】 インプラドーズ量と酸化膜密着強度の関係を示す図。

【図5】 インプラドーズ量と外周酸化膜剥がれの関係を示す図。

【図6】 各工程と酸化膜密着強度の関係を示す図。

【図7】 SiO₂/Si界面での元素プロファイルを示す図。

【図8】 酸化膜厚と剥がれ発生個数の関係を示す図。

【図9】 従来方式による半導体装置の製造工程を示す縦断面図。

【図10】 半導体装置の製造工程を示す縦断面図。

【図11】 半導体装置の製造工程を示す縦断面図。

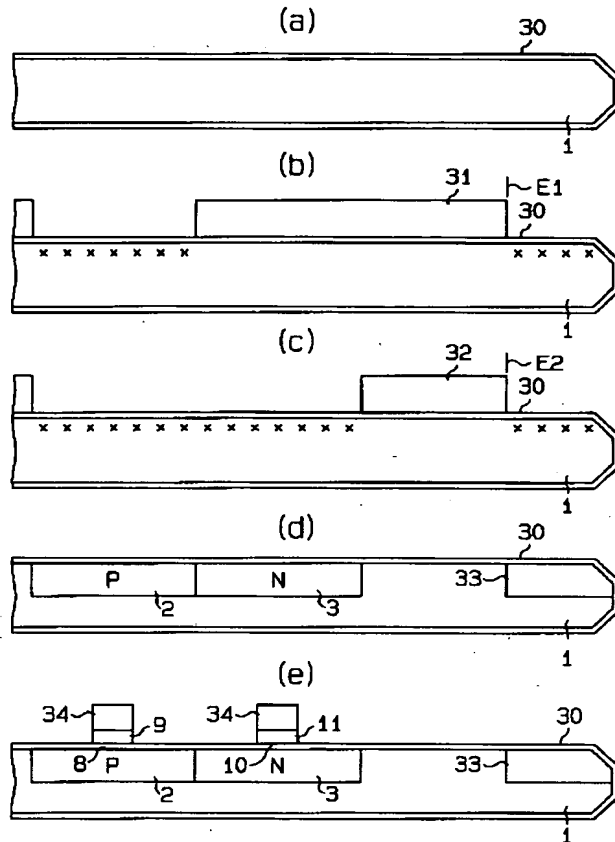
【符号の説明】

1…シリコン基板(ウェハ)、2…Pウェル領域、3…Nウェル領域、4…N領域(ソース)、5…N領域(ドレイン)、6…P領域(ソース)、7…P領域(ドレイン)、8…Pウェル上のゲート酸化膜、9…ポリシリコンゲート電極、10…Nウェル上のゲート酸化膜、11…ポリシリコンゲート電極、12…Pウェル上ポリシリコンの側壁酸化膜、13…Nウェル上ポリシリコンの側壁酸化膜、14…第1の層間絶縁膜としてのBPSG

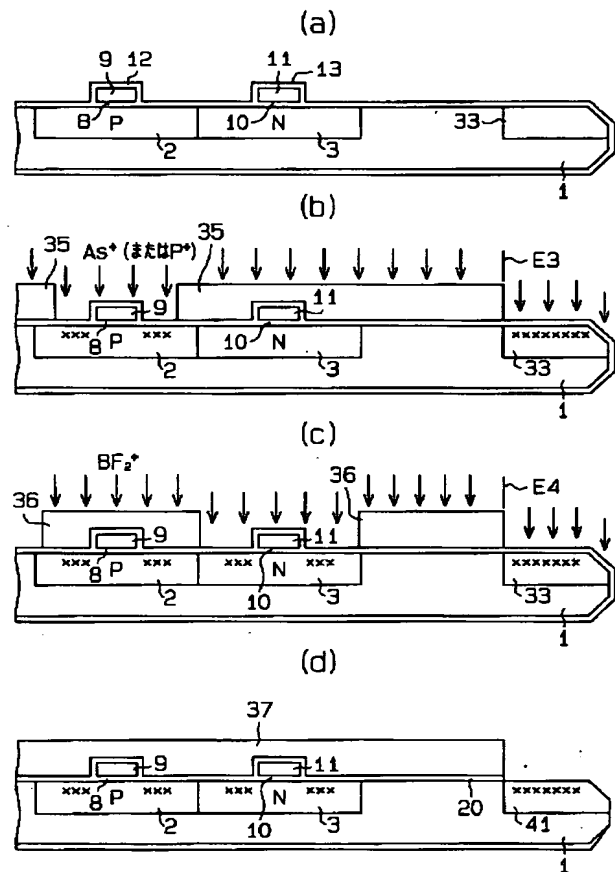
膜、15、16、17、18…アルミ膜、19…第2の層間絶縁膜としてのTEOS膜、20…絶縁膜、30…パッド酸化膜、31、32、35、36…フォトレジ

ト、33…ウェル後の不純物拡散領域、34、37、38、40…フォトレジスト、39…コンタクトホール、41…不純物拡散領域。

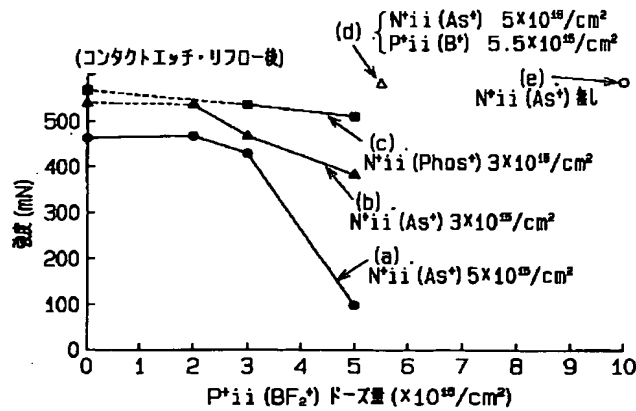
【図1】



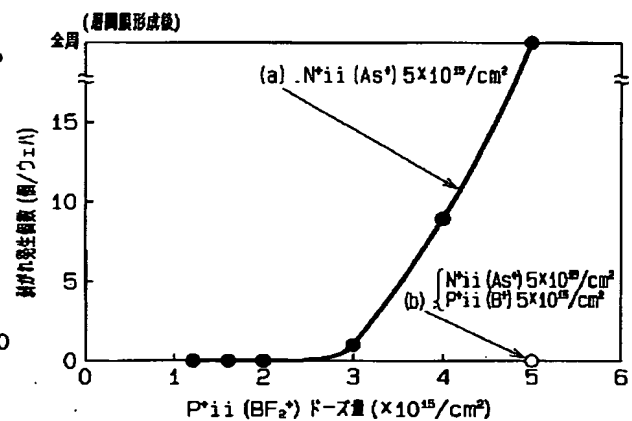
【図2】



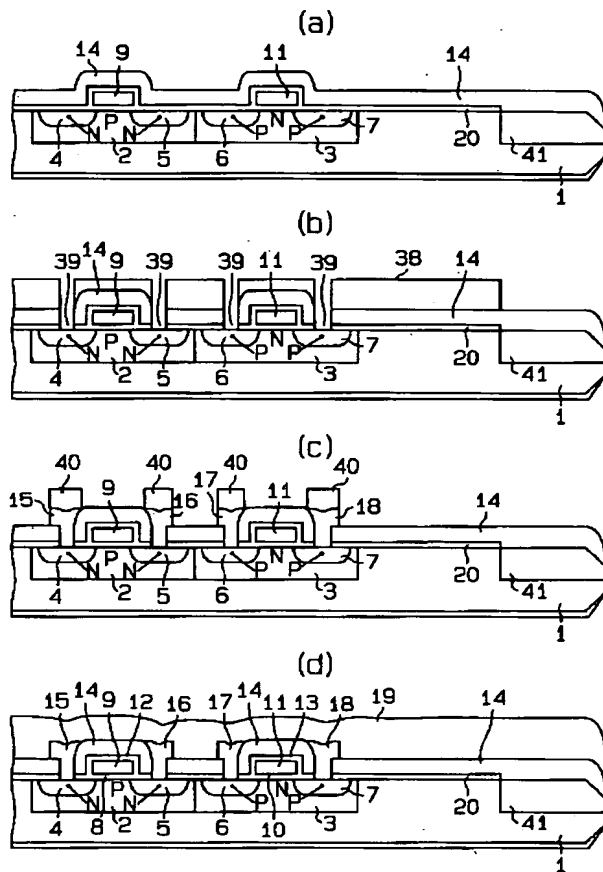
【図4】



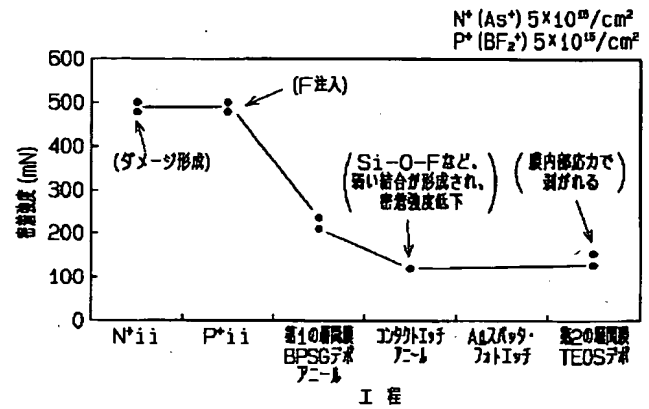
【図5】



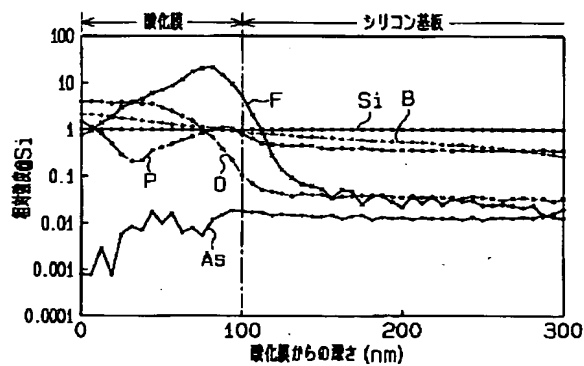
【図 3】



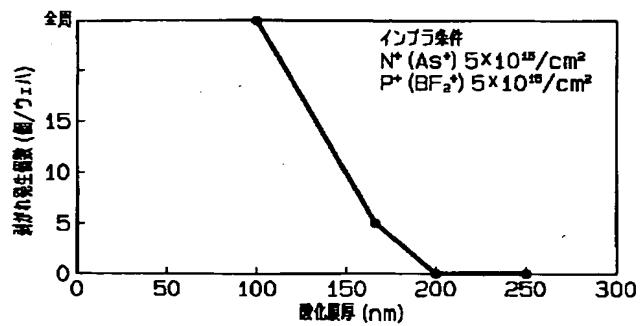
【図 6】



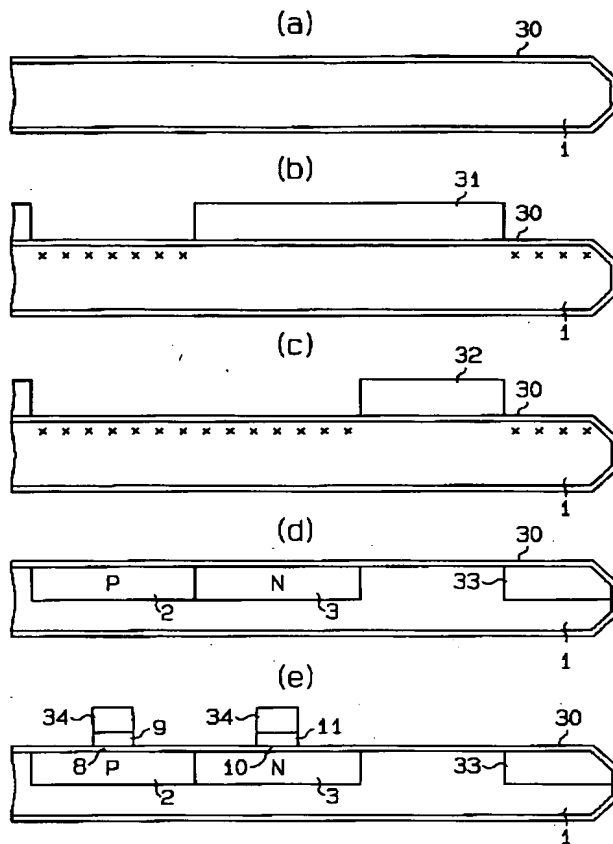
【図 7】



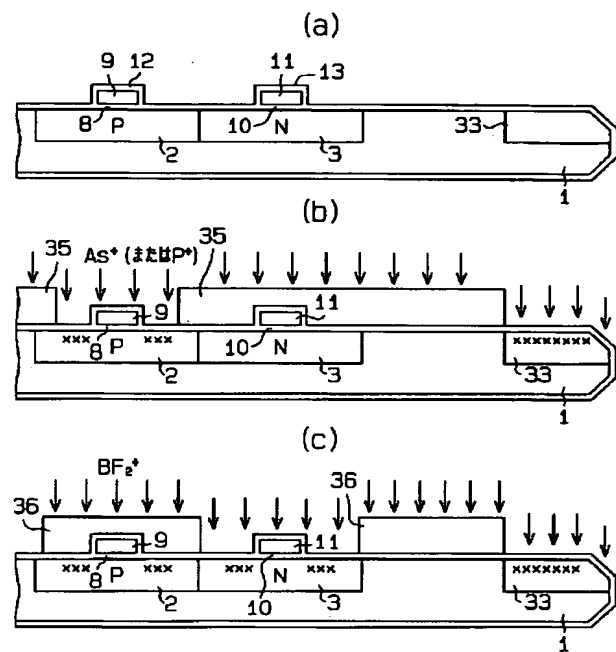
【図 8】



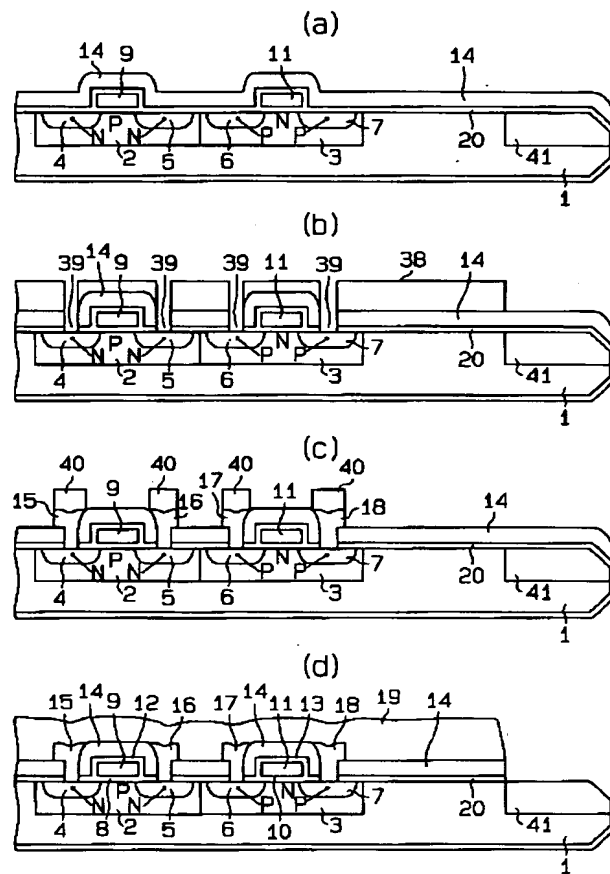
【図9】



【図10】



【図11】



フロントページの続き

(51) Int. Cl. 7

H 0 1 L 27/092

識別記号

F I

テ-マ-ド (参考)

F タ-ム (参考) 2H096 AA25 DA04

5F033 HH04 HH08 JJ08 KK01 PP15

QQ08 QQ11 QQ19 QQ37 QQ58

QQ73 RR04 RR15 SS04 XX12 40

XX19 XX34

5F046 JA15

5F048 AA07 AC03 BA01 BB05 BE03

BF02